



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000258500 A**(43) Date of publication of application: **22.09.00**

(51) Int. Cl.

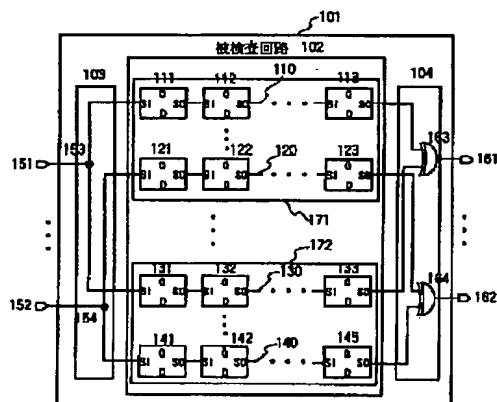
G01R 31/28
G06F 11/22
(21) Application number: **11061157**(22) Date of filing: **09.03.99**(71) Applicant: **HITACHI LTD**
(72) Inventor: **NAKAO NORINOBU**
HATAKEYAMA KAZUMI
HIKONE KAZUFUMI
SHIMAMURA KOTARO
(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND
STORAGE MEDIUM

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit designed in a shift scanning mode and allowing reduction in the amount of test data, the number of scan data input/output terminals, or a test time.

SOLUTION: A semiconductor integrated circuit 101 is designed in a shift scanning mode. In this case, two partial circuits 171, 172 constructed of a plurality of FF with a scanning function 111-113, 131-133 working as shift registers and a scan chain 110 connecting the respective FF with a scanning function to each other are provided, and the partial circuits 171, 172 are connected together in a single branch point 153.

COPYRIGHT: (C)2000,JPO



P-2113

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

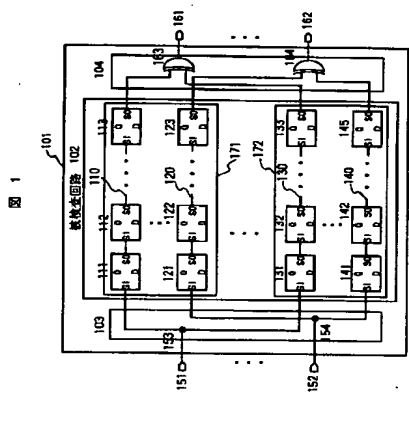
(11) 特許出願公開番号
特開2000-258500
(P2000-258500A)
(43) 公開日 平成12年9月22日 (2000.9.22)

(51) IntCl.	識別記号	F I	予備 (参考)
G 01 R 31/28	3 6 0	G 01 R 31/28	G 2 G 0 3 2
G 0 6 F 11/22		G 0 6 F 11/22	3 6 0 U 5 B 0 4 8 9 A 0 0 1

(21) 出願番号	特開平11-61157	(71) 出願人	000005108 株式会社日立製作所
(22) 出願日	平成11年3月9日 (1999.3.9)	(72) 発明者	中尾 敬伸 茨城県日立市大みか町7丁目1番1号 株 式会社日立製作所日立研究所内
		(72) 発明者	島山 一英 茨城県日立市大みか町7丁目1番1号 株 式会社日立製作所日立研究所内
		(74) 代理人	100068804 弁理士 小川 勝男

(54) 【発明の名称】 半導体集積回路及び記憶媒体

(57) 【要約】
【課題】 シフトレジスタ方式で設計された半導体集積回路において、テストデータ量を削減し、スキャンデータ入出力端子数あるいはテスト時間を削減可能な半導体集積回路を提供する。
【解決手段】 シフトレジスタ方式で設計された半導体集積回路101において、シフトレジスタとして動作する複数のスキャン機能付F111～F113、1131～1132、各々のスキャン機能付F111～F113、1131～1132を有し、その部分回路171、172は、1つの分岐点を有し、その部分回路171、172は、1つの分岐点を有し、173にて結線されている。



【請求項1】 シフトレジスタ方式で設計された半導体集積回路において、前記回路内に含まれる前記シフトレジスタとして動作する複数のスキャン機能付F111～F113、1131～1132を有し、その部分回路171、172は、1つの分岐点を有し、その部分回路171、172は、1つの分岐点を有し、173にて結線されている。

前記部分回路の全てに対して、生成したテストパターン
の故障シミュレーションを行う第1のステップを有し、
前記部分回路の全てに対して前記第1のステップを実行
するまで前記第1のステップ及び前記第2のステップを
繰り返すテストパターン生成工程が記憶された記憶媒
体。
【発明の詳細な説明】
【0001】
【発明の属する技術分野】 本発明は、シフトレジスタ方
式で設計されたテストパターンを有する半導体集積回路及び
記憶媒体に関する。
【0002】
【従来の技術】 半導体集積回路のテストを容易にする技
術として、全てのフリップフロップ (以下、F Fと略
す) に値を設定及び読み出しを可能とする回路を付加す
るスキャン方式がある。スキャン方式により、内部状態
をもつためにテストパターン生成の難しい順回路を、
内部状態をもたない組合せ回路として扱うことができ
る。スキャン方式は、シフトレジスタを用いてチェー
ン状に接続されたF Fに次々と値を設定、読み出しをする
シフトスキャン方式と、各F Fに固有のアドレスを決め
ておき、このアドレスにより選択されたF Fに値を設
定、読み出しするアドレススキャン方式に大別される。
一般に、シフトスキャン方式の方が単純な回路で設計可
能であるが、アドレススキャン方式では、必要なF Fの
値のみを設定、読み出しが可能である。
【0003】 シフトスキャン方式では、チェーン状に接
続されたF F群 (以下、スキャンチェーンと呼ぶ) の
一部のF Fのみ値を設定、読み出しする場合でも、シフト
レジスタとして動作するためスキャンチェーンに含まれ
る全F Fの値を設定、読み出しする場合と同じになる。
このため、シフトスキャン方式では、テストに必要なデ
ータ量 (テストデータ量) が大きい、テストに要する時
間 (テスト時間) が長くなるという問題があった。これ
に対する改良策として、特開平9-5403 号の「半導体集
積回路」がある。これは、スキャンチェーンに含まれる
F Fを複数の群に分割し、各々の群を選択的にパイパス
するために分割した場所にパイパス用セレクタ回路を挿
入し、パイパスされた群に属するF Fを動作させないよ
うに制御する回路を挿入する。これにより、F Fに不
要な値を設定する必要がなくなる。テストデータ量やテ
スト時間を削減できる。
【0004】
【発明が解決しようとする課題】 一般に、シフトスキャ
ン方式では、上記に述べたように、テストデータ量が
大きい、テストに要する時間がかかるという問題があ
る。これを回避する策である。特開平9-5403 号の「半
導体集積回路」では、パイパスするための信号線や制御
回路による回路面積のオーバーヘッドが大々いという問
題がある。

6.2に出力する。第2のバターンについては同様で、4～6時刻目がバターン設定(第1の応答バターン取り出しと重なっている)。7、8時刻目が応答バターン取り出しである。

【0017】上記の実施例における、テストバターン生成処理の方法を図6を用いて説明する。図1のようには、被検回路102は組合せ回路的に独立な部分回路に分割可能で、各部分回路に1Dとして1からの通し番号を与えておく。まず、ステップ601で、部分回路の1Dであるnを1に初期化する。ステップ602で、部分回路n内の未検出の仮定故障に対するテストバターンを生成する。ステップ603で部分回路の1Dであるnを1増加させる。ステップ604で、部分回路nに対して、既に生成しているバターンの故障シミュレーションを行う。ステップ605で、nが部分回路数でなかつたら、ステップ602に戻って、部分回路n内の未検出の仮定故障に対するテストバターン生成を行う。

【0018】なお、図1、図4(1)のように、組合せ回路的に独立な部分回路間でスキキャンチェーンを共用する場合は、それを共用した場合に比べて、単一線路故障モデルにおける故障検出率の低下はない。理由は信号を決定する能力、信号を観測する能力が低下しないためである。前者について、1つの仮定故障に対するテストバターンはそれの属する部分回路内のスキキャン機能付FFのみを設定すればよく、スキキャンデータ入力端子15の1、52により可能である。後者について、例えばスキキャン機能付FF111と131の応答バターンの値が圧縮される訳だが、故障は組合せ回路的に独立な部分回路171と172のいずれか一方にしか存在しない。仮定しているため、スキキャン機能付FF111と131の両方に故障信号が伝わって排他的論理和ゲート163により故障信号が消失するという事は生じない。

【0019】この実施例では、スキキャンチェーンのスキキャンデータ入力端子を共用するため、1つのテストバターンについて、全スキキャン機能付FFの値設定に必要なスキキャンデータ入力端子より入力の値の総数(テストデータ量と呼ぶ)は、全スキキャン機能付FFの数より削減できる。特定の仮定故障の集合を抽出するテストバターンの集合に対するテストデータ量に關しても、本実施例はスキキャンチェーンを共用しない従来のシフトスキャン方式と比べて、多くの場合削減できる。理由は、本実施例によるテストデータ量の上限は、従来のシフトスキャン方式で1つのテストバターンに独立な部分回路毎に故障を検出するテストバターンを埋め込んだ場合(この場合テストバターン長は従来のシフトスキャン方式の場合より長い)であるため、本実施例は部分回路毎に故障を検出するテストバターン同士で共通なものがあれば、さらにテストデータ量を削減できる。

【0020】さらに、スキキャンデータ出力に必要端子数とテスト時間に関して述べる。従来のシフトスキャン

方式と比べてスキキャンチェーンの長さを同じにすると、テスト時間は変わらないが、本実施例のようにスキャンチェーンの入出力を共用することでスキキャンデータ出力に必要な端子数を削減できる。本実施例で、従来のシフトスキャン方式とスキキャンデータ出力に必要な端子数を同じにすると、スキキャンチェーンの長さを削減できるため、テスト時間を削減できる。これは、1つのテストバターンあたりのマスタクロック入力とスレーブクロック入りの繰り返し数を減らし、スキキャンデータ出力に要する時間を削減できるためである。このように、本実施例によれば、シフトスキャン方式において、組合せ回路的に独立な部分回路に含まれるスキキャンチェーン間でスキキャンデータ入力端子を共用することにより、故障検出率を落とさずにテストデータ量を削減できる。また、その増子数の削減、あるいはテスト時間の短縮という効果がある。

【0021】なお、本実施例で、スキキャンデータ入出力端子を共用する条件である、組合せ回路的に独立な部分回路内のスキキャンチェーンという条件をはずしても、テストデータ量の削減、また、スキキャンデータ出力端子数の削減あるいはテスト時間の短縮という効果は得られる。ただし、故障検出率低下の可能性のあることを覚悟しなければならない。この故障検出率低下の問題を回避あるいは緩和する方法を述べる。

【0022】例えば、図3(1)のように、結線変更回路103を改良する方法である。スキキャンデータ入力端子に接続する311、312を信号線314～317に結線する回路で、Phase信号313の値によって、結線方法を変える。Phase=0のとき、セレクト321は信号線312の値を信号線315に出力し、セレクト322は信号線311の値を信号線316に出力するため、信号線311が信号線314、316に結線され信号線312が信号線315、317に結線される。Phase=1のとき、セレクト321は信号線311の値を信号線315に出力し、セレクト322は信号線312の値を信号線314、316に出力するため、信号線311が信号線314、316に結線され信号線312が信号線315、317に結線される。この結果、全スキキャン機能付FFに設定できる値の組合せを図1の結線変更回路103に比べて2倍にでき、テストバターンにおける同じ値が設定できないスキキャン機能付FF間の条件を緩和できる。

【0023】また、符号圧縮回路104については、図3(2)に示すような線形フィードバックシフトレジスタを用いることで、スキキャンチェーン間の依存関係により故障信号が消失する問題を回避できる。FF336～339はシフトレジスタとして動作し、信号線351、352はフィードバックループを作る。スキキャンチェーン53に与えられる値は、信号線331～335を逐次排他的論理和ゲート341～346に人力し、線形フィードバックシフトレジスタにより圧縮される。信号線347は

線形フィードバックシフトレジスタの初期化のために用意され、信号線346は線形フィードバックシフトレジスタのバターンを取り出すために用いる。詳しい動作は、IEEE Design and Test of Computers(1993年3月79頁～81頁)に記載されている。

【0024】次に、スキキャンデータ出力端子を共用する条件を、組合せ回路的に独立な部分回路内のスキキャンチェーンという条件から、組合せ回路的に信号を伝播する領域を用いた条件に緩め、故障検出率を低下させない例を示す。

【0025】図4(2)(3)は、図4(1)における半導体集積回路の組合せ回路部分450について、スキキャン機能付FFが信号が伝播する領域を示した図である。図4(2)は、同一のスキキャンチェーン毎に、スキキャン機能付FF411、412、421、422、431、432、441、442のFF出力ピン(Q)から信号が組合せ回路的に伝播する領域を示している。すなわち、スキキャン機能付FF411、412は領域451、452を伝播し、信号線413、414、423のいずれかに到達する。同様に、スキキャン機能付FF421、422は領域452、453、454を伝播し、スキキャン機能付FF431、432は領域454、455、456を伝播し、スキキャン機能付FF441、442は領域456、457を伝播する。したがって、スキキャンチェーン410と430は、組合せ回路的に信号を伝播できる領域(ハッチ部分)がお互いに関わりあらないので、スキキャン機能付FFに信号を設定する能力はかわらない。同様にスキキャンチェーン420と440についてもスキキャン機能付FFに信号を設定する能力はかわらない。

【0026】一方、図4(3)は、同一のスキキャンチェーン毎に、信号線413、414、423、424、433、434、443、444のデータ入力ピン(D)へ信号が組合せ回路的に伝播する領域を示している。すなわち、スキキャン機能付FF411、412は領域461、462を伝播し、信号線413、414、423のいずれかに到達する。同様に、スキキャン機能付FF421、422は領域462、463、464を伝播し、スキキャン機能付FF431、432は領域464、465、466を伝播し、スキキャン機能付FF441、442は領域466、467を伝播する。したがって、スキキャンチェーン410と430は、組合せ回路的に信号を伝播できる領域(ハッチ部分)がお互いに関わりあらないので、スキキャン機能付FFで信号を観測する能力はかわらない。同様にスキキャンチェーン420と440についてもスキキャン機能付FFで信号を観測する能力はかわらない。

【0027】このように、本実施例によれば、シフトスキャン方式において、組合せ回路的に信号を伝播する領域が互いに関わりあらないスキキャンチェーン間でスキキャンデータ入出力端子を共用することにより、故障検出率を落とさずにテストデータ量を削減できる。また、その増

子数の削減、あるいはテスト時間の短縮という効果がある。

【0028】最後の実施例では、BIST(組込み自己テスト)方式を用いた半導体集積回路に対して、バターン発生器721から被検回路102へ信号線を共用し、被検回路102からバターン圧縮器741への信号線を共用したもので図7に示す。

【0029】被検回路102、結線変更回路103、符号圧縮回路104は図1と同様である。セレクト701によって、バターン印加モードのとき、スキキャンデータ入力端子711、712から印加された信号は、信号線715、716に伝播し、結線変更回路103にて分岐後スキキャンチェーンに設定され、出力されたデータは、それぞれ符号圧縮回路104にて排他的論理和されてスキキャンデータ出力端子733、734から出力される。一方、BISTモードのとき、バターン発生器721により発生された信号713、714は、信号線715、716に伝播し、結線変更回路103にて分岐後スキキャンチェーンに設定され、排他的論理和ゲート735、736でバターン圧縮器741により圧縮され、バターン圧縮後出力される。尚、バターン発生器は、予め発生させるバターンを設定しておいてもよい。ランダム的にバターンを発生させてもよい。また、テストされる被検回路である論理回路のテストは、そのバターン発生器721から発生させるバターンと、被検回路102から出力されたバターンとを比較して、その論理回路が故障しているかどうか等の検査を行う。

【0030】このように、本実施例によれば、BISTを用いたシフトスキャン方式において、組合せ回路的に独立な部分回路に含まれるスキキャンチェーン間でスキキャンデータ入出力を共用することにより、バターン発生器やバターン圧縮器を共用することになり、ゲート数や配線の物量を削減できるという効果がある。

【0031】更に、上記各実施例は、同格的なハードウェアの半導体集積回路について述べたが、本発明は、これらの機能を有するソフトウェアでも適用できるものである。

【0032】上記ソフトウェアの本実施例としては、CD-ROM等の記憶媒体に実施例の機能を有する回路制御プログラムを記憶することで、このソフトウェアの製作企業の方々が、ユーザ自身が集積回路、またはその中の論理回路等の試験を容易に実行できる効果がある。

【0033】

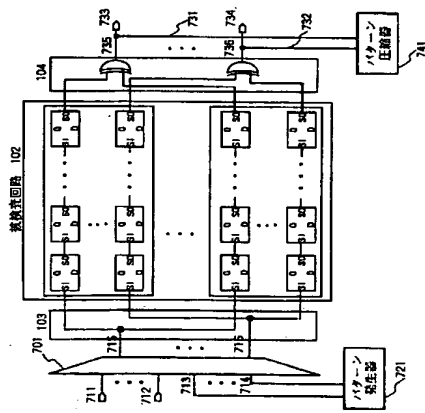
【発明の効果】本発明によれば、シフトスキャン方式におけるテストデータ量やテスト時間を削減し、回路制御のオーバーヘッドを抑えた半導体集積回路を提供できる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の一実施例を示す

【図7】

図7



フロントページの続き

(72)発明者 彦根 和文

茨城県日立市大みか町七丁目一番一号 株

式会社日立製作所日立研究所内

(72)発明者 島村 光太郎

茨城県日立市大みか町七丁目一番一号 株

式会社日立製作所日立研究所内

Fターム(参考) 2C032 A04 AC10 AK15 AK16

5B018 A020 CC20 DD05 DD16

9A001 BB05 L205